

JC821 U.S. PTO

09/987738



대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

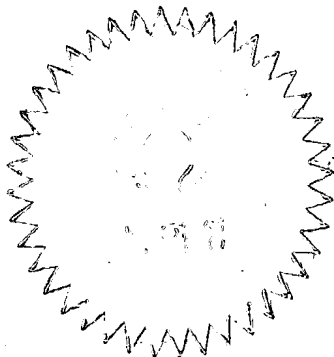
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 68406 호
Application Number

출원년월일 : 2000년 11월 17일
Date of Application

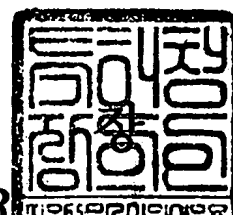
출원인 : 현대전자산업주식회사
Applicant(s)



2000 12 22
 년 월 일

특 허 청

COMMISSIONER





919980000484



10111010000000000000

방 식 심 사 란	담	당	심	사	관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0005

【제출일자】 2000.11.17

【국제특허분류】 H01L

【발명의 국문명칭】 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성
메모리 소자의 제조방법

【발명의 영문명칭】 method for forming silicon quantum dot and method for
fabricating nonvolatile memory device using the same

【출원인】

【명칭】 현대전자산업 주식회사

【출원인코드】 1-1998-004569-8

【대리인】

【성명】 강용복

【대리인코드】 9-1998-000048-4

【포괄위임등록번호】 1999-057814-0

【대리인】

【성명】 김용인

【대리인코드】 9-1998-000022-1

【포괄위임등록번호】 1999-057815-7

【발명자】

【성명의 국문표기】 김일권

【성명의 영문표기】 KIM, Il Gweon

【주민등록번호】 651021-1850511

【우편번호】 361-270

【주소】 충청북도 청주시 흥덕구 복대동 221-7 대원아파트 107-701

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

강용복 (인)

대리인

김용인 (인)

【수수료】

【기본출원료】	19	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	5	항	269,000	원
---------	---	---	---------	---

【합계】			298,000	원
------	--	--	---------	---

【첨부서류】 1.요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 초고집적, 초저전력, 초고속 및 실용적인 제조에 용이하도록 한 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법에 관한 것으로서, 반도체 기판상에 제 1 절연막을 형성하는 단계와, 상기 제 1 절연막상에 복수개의 나노-크리스탈라인 실리콘을 형성하는 단계와, 상기 나노-크리스탈라인 실리콘을 포함한 상기 제 1 절연막상에 제 2 절연막을 형성하는 단계와, 상기 제 2 절연막 및 나노-크리스탈라인 실리콘의 일부를 식각하는 단계와, 상기 나노-크리스탈라인 실리콘의 표면을 산화시키는 단계를 포함하여 형성함을 특징으로 한다.

【대표도】

도 2d

【색인어】

실리콘 양자점

【명세서】

【발명의 명칭】

실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의
제조방법{method for forming silicon quantum dot and method for fabricating
nonvolatile memory device using the same}

【도면의 간단한 설명】

도 1a 내지 도 1f는 종래의 실리콘 양자점의 형성방법 및 그를 이용한 비휘
발성 메모리 소자의 제조방법을 나타낸 공정단면도

도 2a 내지 도 2d는 본 발명에 의한 실리콘 양자점의 형성방법을 나타낸 공
정단면도

도 3a 내지 도 3h는 본 발명에 의한 실리콘 양자점을 이용한 비휘발성 메모
리 소자의 제조방법을 나타낸 공정단면도

도면의 주요부분에 대한 부호의 설명

31 : 실리콘 기판

32 : 절연막

33 : 나노-크리스탈라인 실리콘

34 : 제 1 산화막

35 : 제 2 산화막

【발명의 상세한 설명】

의 제조방법에 관한 것으로, 특히 초고속 및 초고집적 소자를 제조하는데 적당한 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법에 관한 것이다.

일반적으로 실리콘 양자점(Quantum Dot)을 이용한 비휘발성 메모리 소자는 EEPROM 동작 원리와 동일하며, 채널을 기존 MOSFET에서와 동일하게 문턱전압 보다 높은 라이트 게이트 전압을 걸면, 반전층을 형성하여 소오스 쪽의 전자가 채널쪽으로 유도되고 이로 인해, 채널 컨덕턴스가 낮아진다.

이 상태에서 채널의 반전층에서의 전자들이 얇은 절연막을 통해 직접 터널링이 일어나, 터널링 절연막 위에 이차원적으로 분포하는 실리콘 양자점들이 하나의 전자씩 터널링 하여 들어간다.

이때 들어간 전자의 전하 에너지에 의해 에너지 장벽이 높아지며, 이로 인해 다음 전자가 들어오는 것을 반발한다.

이것은 전자 하나에 의한 전하 에너지가 온도에 의한 전자의 열적 진동보다 높으며, 이 현상은 상온에서도 가능하게 되며, 일정한 밀도를 갖는 실리콘 양자점 당 하나씩만 들어갔을 때도 그것에 의한 채널 컨덕턴스는 떨어지고, 그로 인해 문턱전압의 양의 방향으로 이동이 일어난다.

물론 극단적으로 실리콘 양자점 당 하나의 전자를 사용하여 프로그래밍을 할 수 있으나, 문턱전압의 시프트가 적어 감지하기가 힘들므로 보통 3~4개 정도의 전자를 터널링시켜 이용함으로써 1V 이상의 문턱전압 시프트를 이용하면 실제 실용화가 가능하다.

이러 관점에서 전하 에너지를 높이기 위해서는 양자점의 셀프 캐패시턴스를 최대 낮추어야 하므로, 실리콘 양자점의 표면적을 최소로 줄여야 하며, 또한 높은 문턱전압 시프트를 이용하기 위해서는 높은 밀도의 실리콘 양자점을 형성하여야 한다.

그리고 무엇보다 중요한 것은 일정한 문턱전압 시프트를 이용하기 위해서는 실리콘 양자점의 균일성 및 형성공정의 재현성이 가장 큰 문제가 된다.

한편, 여기서 실리콘 양자점은 원자 단위로 형성되어 있는 것을 의미하지만 실제로는 원자 단위로 제조하기 어렵다. 그러나 실리콘 섬(island)이 매우 작게 형성되어 실리콘 양자점과 같은 역할을 기대하기 때문에 실리콘 양자점이라는 표현을 사용했다.

이하, 첨부된 도면을 참고하여 종래의 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법을 설명하면 다음과 같다.

도 1a 내지 도 1f는 종래의 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이, 필드 영역과 액티브 영역으로 정의된 실리콘 기판(11)의 필드 영역에 LOCOS 공정에 의해 필드 산화막(12)을 형성한다.

이어, 상기 실리콘 기판(11)상에 터널링 절연막(13)을 형성하고, 상기 터널링 절연막(13)상에 복수개의 실리콘 양자점(14)을 섬(island) 형태로 약 30nm 정도의 크기로 형성한다.

도 1b에 도시한 바와 같이, 상기 실리콘 양자점(14)을 포함한 실리콘

기관(11)의 전면에 절연막(15)을 형성한다.

도 1c에 도시한 바와 같이, 상기 절연막(15)상에 콘트롤 게이트용 폴리 실리콘막을 형성하고, 포토 및 식각공정으로 통해 상기 폴리 실리콘막을 선택적으로 제거하여 콘트롤 게이트(16)를 형성한다.

도 1d에 도시한 바와 같이, 상기 콘트롤 게이트(16)를 셀프 마스크로 이용하여 상기 절연막(15) 및 실리콘 양자점(14)을 선택적으로 제거한다.

이어, 상기 콘트롤 게이트(16) 양측의 실리콘 기관(11) 표면내에 소오스/드레인용 불순물 이온을 주입하여 소오스/드레인 불순물 영역(17)을 형성한다.

도 1e에 도시한 바와 같이, 상기 콘트롤 게이트(16)와 이후 형성되는 금속 배선의 절연을 위해 상기 실리콘 기관(11)의 전면에 기상 증착 방식으로 층간 절연막(18)을 형성하고, 상기 층간 절연막(18)상에 SOG(Spin On Glass)막(29)을 형성한다.

이어, 포토 및 식각공정을 통해 상기 소오스/드레인 불순물 영역(17)의 표면이 소정부분 노출되도록 상기 SOG막(19) 및 층간 절연막(18) 및 터널링 산화막(13)을 선택적으로 제거하여 콘택홀(20)을 형성한다.

도 1f에 도시한 바와 같이, 상기 콘택홀(20)을 포함한 실리콘 기관(11)의 전면에 금속막을 스퍼터링 증착한 후, 포토 및 식각공정을 통해 선택적으로 제거하여 상기 콘택홀(20)을 통해 소오스/드레인 불순물 영역(17)에 연결되는 금속 배선(21)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

그러나 상기와 같은 종래의 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법에 있어서 다음과 같은 문제점이 있었다.

첫째, 폴리 실리콘 또는 비정질 실리콘 증착시 인큐베이션 시간(실리콘이 형성되기 위한 조건하에서 초기 실리콘 시드가 착점되기 까지의 시간)을 이용하여 비정질 실리콘 시딩(seeding)만 하기 때문에 공정의 안정성 및 제어성이 없다.

둘째, 실리콘 양자점의 분포 균일성이 좋지 않고, 그 크기가 크며 밀도가 작아 실용적인 메모리로서의 가치가 없다.

셋째, 비정질 실리콘으로 형성하는 경우 이후 열공정에서 그레인 형성 및 재결정 등과 같은 과정에 의해 실리콘 양자점 자체 형태(configuration)의 변형이 일어날 수 있다.

넷째, 로코스(LOCOS) 소자 격리를 이용함으로써 인접 드레인에 의한 필드 장애(field disturbance) 등을 유발하여 메모리의 평션(function) 등 많은 문제가 일어난다.

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로 초고 집적, 초저전력, 초고속 및 실용적인 제조에 용이하도록 한 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성】

상기와 같은 목적을 달성하기 위한 본 발명에 의한 실리콘 양자점의 형성방법은 반도체 기판상에 제 1 절연막을 형성하는 단계와, 상기 제 1 절연막상에 복수

개의 나노-크리스탈라인 실리콘을 형성하는 단계와, 상기 나노-크리스탈라인 실리콘을 포함한 상기 제 1 절연막상에 제 2 절연막을 형성하는 단계와, 상기 제 2 절연막 및 나노-크리스탈라인 실리콘의 일부를 식각하는 단계와, 상기 나노-크리스탈라인 실리콘의 표면을 산화시키는 단계를 포함하여 형성함을 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 의한 비휘발성 메모리 소자의 제조방법은 반도체 기판상에 터널링 절연막을 형성하는 단계와, 상기 터널링 절연막상에 복수개의 나노-크리스탈라인 실리콘을 형성하는 단계와, 상기 나노-크리스탈라인 실리콘을 포함한 상기 터널링 절연막상에 제 1 절연막을 형성하는 단계와, 상기 제 1 절연막 및 나노-크리스탈라인 실리콘의 일부를 식각하는 단계와, 상기 나노-크리스탈라인 실리콘의 표면을 산화시키는 단계와, 상기 나노-크리스탈라인 실리콘을 포함한 상기 제 1 절연막상에 제 2 절연막을 형성하는 단계와, 상기 제 2 절연막상에 콘트롤 게이트를 형성하는 단계와, 상기 콘트롤 게이트를 마스크로 하여 제 2 절연막, 나노-크리스탈라인 실리콘, 그리고 터널링 절연막을 제거하는 단계와, 상기 콘트롤 게이트 양측의 반도체 기판 표면내에 불순물 영역을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법을 상세히 설명하면 다음과 같다.

먼저, 전술한 바와 같이 실리콘 양자점은 원자 단위로 형성되어 있는 것을 의미하지만 실제로는 원자 단위로 제조하기가 어렵다. 그러나 실리콘 섬(island)이 매우 작게 형성되어 실리콘 양자점과 같은 역할을 기대하기 때문에 이러한 표현을

사용한다.

도 2a 내지 도 2d는 본 발명에 의한 실리콘 양자점의 형성방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 실리콘 기판(31)상에 절연막(32)을 형성하고, 상기 절연막(32)상에 나노-크리스탈라인 실리콘(nano-crystalline silicon)(실리콘 양자점)(33)을 섬(island) 형태로 약 30nm 정도의 크기로 형성한다.

도 2b에 도시한 바와 같이, 상기 나노-크리스탈라인 실리콘(33)을 포함한 실리콘 기판(31)의 전면에 기상 증착 방식으로 제 1 산화막(34)을 형성한다.

도 2c에 도시한 바와 같이, 상기 제 1 산화막(34) 및 나노-크리스탈라인 실리콘(33)의 전면에 CMP 공정을 이용하여 제 1 산화막(34) 및 나노-크리스탈라인 실리콘(33)을 약 10nm 정도까지 식각한다.

도 2d에 도시한 바와 같이, 상기 실리콘 기판(31)에 산화 공정을 실시하여 상기 나노-크리스탈라인 실리콘(33)의 5nm까지 산화시키어 약 5nm의 크기 및 20nm 정도의 반구형을 갖는 나노-크리스탈라인 실리콘(33)과 제 2 산화막(35)을 형성한다.

한편, 상기 제 1 산화막(34)은 산화 공정전에 제거할 수도 있고, 그대로 잔류한 상태에서 재산화 공정을 실시할 수 있는데, 본 발명의 실시예에서는 제거하였다.

도 3a 내지 도 3h는 본 발명에 의한 실리콘 양자점을 이용한 비휘발성 메모리 소자의 제조방법을 나타낸 공정단면도이다.

도 3a에 도시한 바와 같이, 액티브 영역과 필드 영역으로 정의된 실리콘 기판(41)의 필드 영역으로 포토 및 식각공정을 통해 선택적으로 제거하여 소정 깊이를 갖는 트랜치를 형성한다.

이어, 상기 트랜치가 완전히 매립되도록 절연 물질을 매립하여 소자 격리막(42)을 형성한다.

도 3b에 도시한 바와 같이, 상기 실리콘 기판(41)의 전면에 터널링 절연막(43)을 형성한다.

도 3c에 도시한 바와 같이, 상기 터널링 절연막(43)위에 비정질 기상 증착에 의해 5nm 이하의 입자를 갖는 복수개의 나노-크리스탈라인 실리콘(실리콘 양자점(44)을 섬(Island) 형태로 형성한다.

여기서 상기 나노-크리스탈라인 실리콘(44)은 전술한 도 2a 내지 도 2d와 같이 형성한 후, 제 2 산화막(35)을 제거한다.

도 3d에 도시한 바와 같이, 상기 나노-크리스탈라인 실리콘(44)을 포함한 실리콘 기판(41)의 전면에 절연막(45)을 형성한다.

도 3e에 도시한 바와 같이, 상기 절연막(45)상에 콘트롤 게이트용 폴리 실리콘막을 형성하고, 포토 및 식각공정으로 통해 상기 폴리 실리콘막을 선택적으로 제거하여 콘트롤 게이트(46)를 형성한다.

도 3f에 도시한 바와 같이, 상기 콘트롤 게이트(46)를 셀프 마스크로 이용하여 상기 절연막(45) 및 나노-크리스탈라인 실리콘 양자점(44)을 선택적으로 제거한다.

이어, 상기 콘트롤 게이트(46) 양측의 실리콘 기판(41) 표면내에 소오스/드레인용 불순물 이온을 주입하여 소오스/드레인 불순물 영역(47)을 형성한다.

도 3g에 도시한 바와 같이, 상기 콘트롤 게이트(46)와 이후 형성되는 금속 배선의 절연을 위해 상기 실리콘 기판(41)의 전면에 기상 증착 방식으로 층간 절연막(48)을 형성하고, 상기 층간 절연막(48)상에 SOG(Spin On Glass)막(49)을 형성한다.

이어, 포토 및 식각공정을 통해 상기 소오스/드레인 불순물 영역(47)의 표면이 소정부분 노출되도록 상기 SOG막(49) 및 층간 절연막(48) 및 터널링 산화막(43)을 선택적으로 제거하여 콘택홀(50)을 형성한다.

도 3h에 도시한 바와 같이, 상기 콘택홀(50)을 포함한 실리콘 기판(41)의 전면에 금속막을 스퍼터링 증착한 후, 포토 및 식각공정을 통해 선택적으로 제거하여 상기 콘택홀(50)을 통해 소오스/드레인 불순물 영역(47)에 연결되는 금속 배선(51)을 형성한다.

【발명의 효과】

이상에서 설명한 바와 같이 본 발명에 의한 실리콘 양자점의 형성방법 및 그를 이용한 비휘발성 메모리 소자의 제조방법은 다음과 같은 효과가 있다.

첫째, 비정질 실리콘을 시딩한 후 기상 증착 방식에 의해 절연막을 형성하고 CMP를 통해 비정질 실리콘을 폴리싱한 후 산화 공정을 이용하여 고밀도의 실리콘 양자점을 형성할 수 있고, 자체의 재현성 및 제어성을 향상시킬 수 있다.

둘째, STI 구조의 소자 격리막을 사용함으로써 초고집적 회로에서 나타날 수

있는 인접 드레인에 의한 필드 장애를 줄일 수 있다.

셋째, 실리콘 양자점의 크기가 작고 균일하게 제어함으로서 양자점 메모리가 요구하는 높고 일정한 문턱전압 시프트 및 상온에서 안정된 동작을 유지할 수 있다.

넷째, 실리콘 양자점 당 전자 3~4개 정도가 터널링 절연막을 통해 직접 터널링을 함으로서 낮은 전압에서도 동작이 가능하고, 또한 라이트/소거(write/erase) 속도를 빠르게 할 수 있다.

다섯째, 실리콘 양자점의 크기를 줄임으로서 비휘발 메모리 소자를 초고집적으로 형성할 수 있다.

여섯째, 터널링 절연막을 통해 직접 터널링을 이용함으로서 저전력 및 고속 동작이 가능하여 상온에서의 쿨롬 블록카드(blockcade) 효과에 의해 기억(retention) 특성을 향상시킬 수 있다.

【특허 청구범위】

【청구항 1】

반도체 기판상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막상에 복수개의 나노-크리스탈라인 실리콘을 형성하는 단계;

상기 나노-크리스탈라인 실리콘을 포함한 상기 제 1 절연막상에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 및 나노-크리스탈라인 실리콘의 일부를 식각하는 단계;

상기 나노-크리스탈라인 실리콘의 표면을 산화시키는 단계를 포함하여 형성을 특징으로 하는 실리콘의 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 나노-크리스탈라인 실리콘은 약 30nm 크기로 형성하는 것을 특징으로 하는 실리콘 양자점의 형성방법.

【청구항 3】

제 1 항에 있어서, 상기 제 2 절연막 및 나노-크리스탈라인은 상기 나노-크리스탈라인 실리콘을 약 10nm까지 식각하는 것을 특징으로 하는 실리콘 양자점의 형성방법.

【청구항 4】

제 1 항에 있어서, 상기 나노-크리스탈라인 실리콘은 약 5nm까지 산화시키는 것을 특징으로 하는 실리콘 양자점의 형성방법.

【청구항 5】

반도체 기판상에 터널링 절연막을 형성하는 단계;

상기 터널링 절연막상에 복수개의 나노-크리스탈라인 실리콘을 형성하는 단계;

상기 나노-크리스탈라인 실리콘을 포함한 상기 터널링 절연막상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 및 나노-크리스탈라인 실리콘의 일부를 식각하는 단계;

상기 나노-크리스탈라인 실리콘의 표면을 산화시키는 단계;

상기 나노-크리스탈라인 실리콘을 포함한 상기 제 1 절연막상에 제 2 절연막을 형성하는 단계;

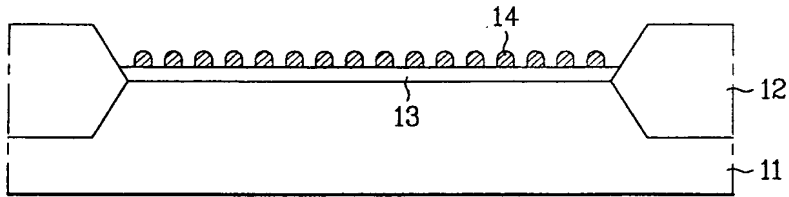
상기 제 2 절연막상에 콘트롤 게이트를 형성하는 단계;

상기 콘트롤 게이트를 마스크로 하여 제 2 절연막, 나노-크리스탈라인 실리콘, 그리고 터널링 절연막을 제거하는 단계;

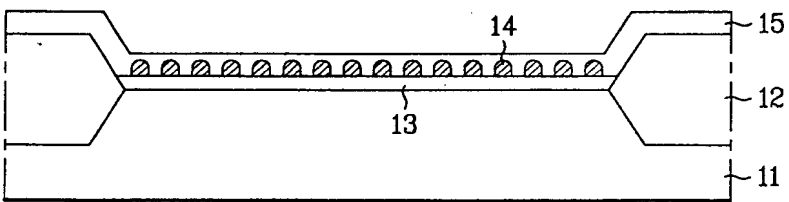
상기 콘트롤 게이트 양측의 반도체 기판 표면내에 불순물 영역을 형성하는 단계를 포함하여 형성함을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【도면】

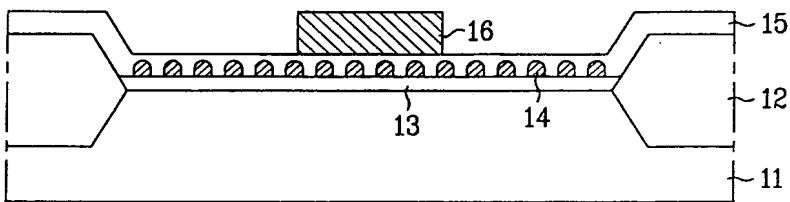
【도 1a】



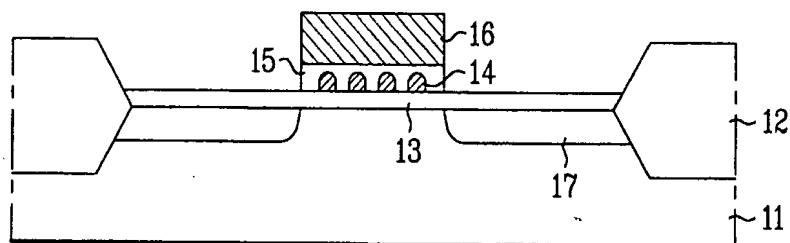
【도 1b】



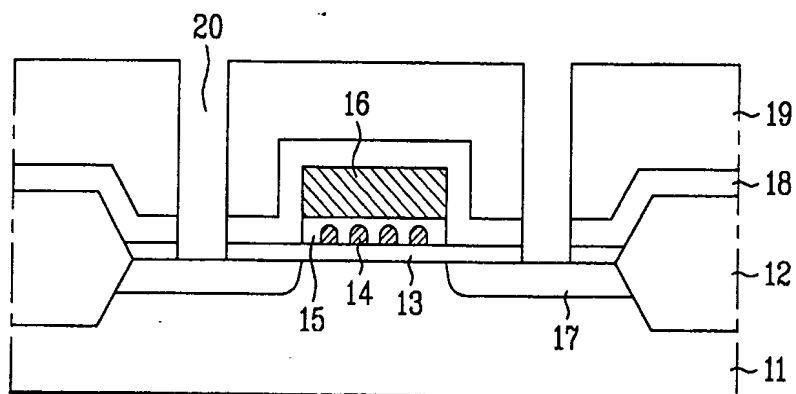
【도 1c】



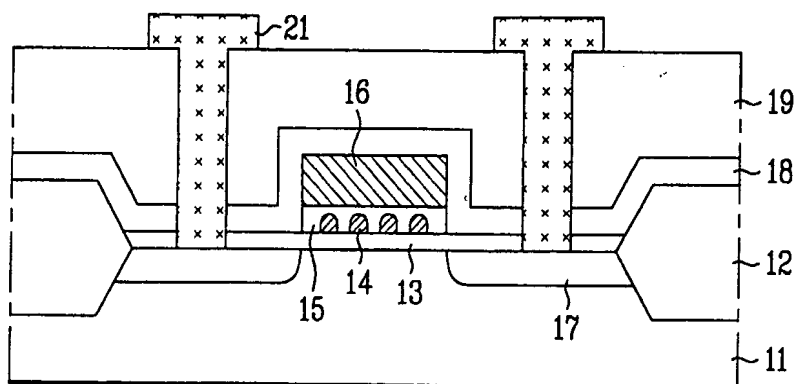
【図 1d】



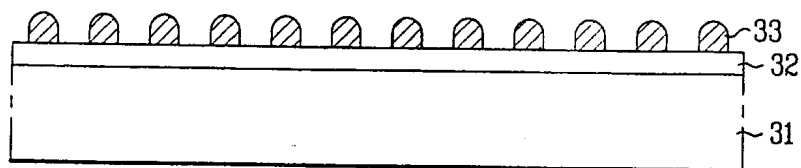
【図 1e】



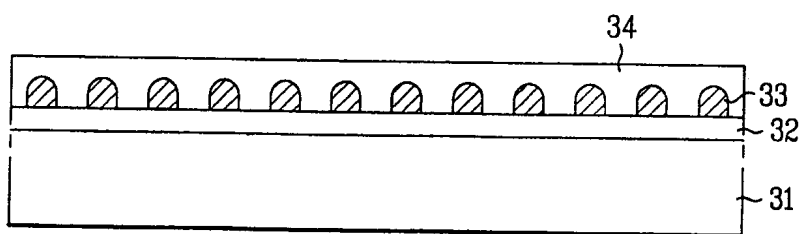
【図 1f】



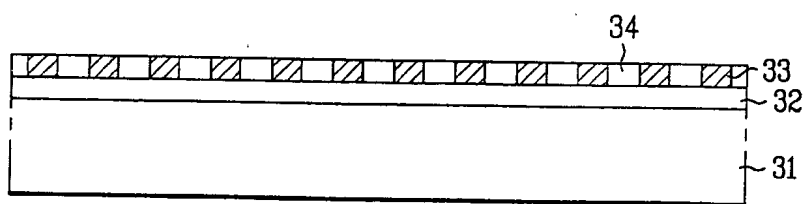
【도 2a】



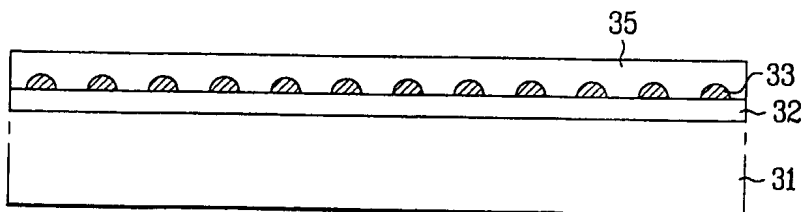
【도 2b】



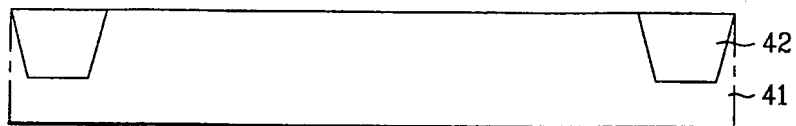
【도 2c】



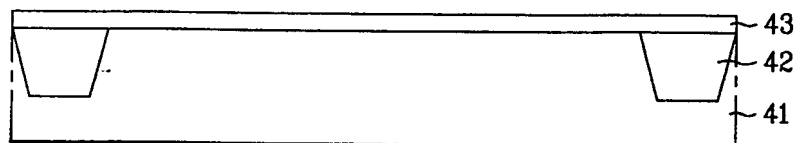
【도 2d】



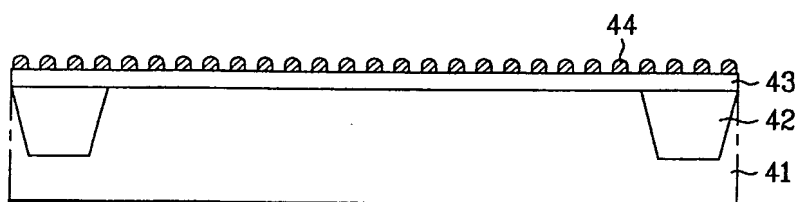
【도 3a】



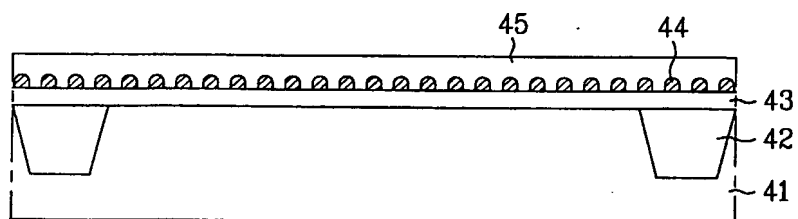
【도 3b】



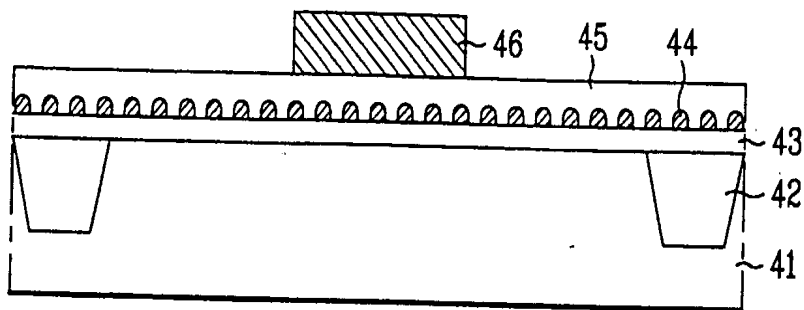
【도 3c】



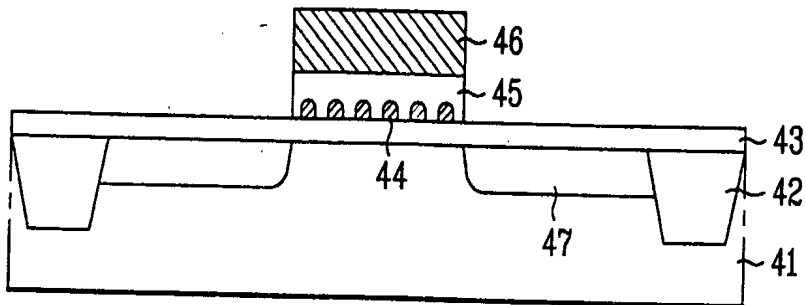
【도 3d】



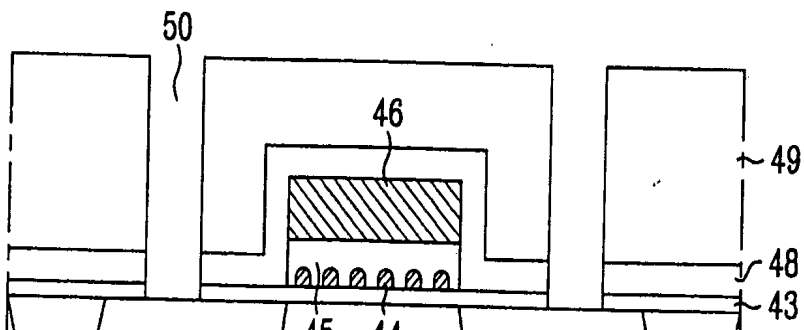
【도 3e】



【도 3f】



【도 3g】



【図 3h】

